

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-031650

(43)Date of publication of application : 31.01.2003

(51)Int.Cl.

H01L 21/76  
H01L 21/316  
H01L 21/768

(21)Application number : 2001-213689

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.07.2001

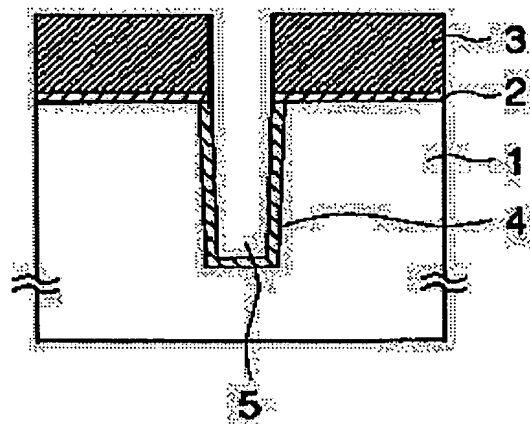
(72)Inventor : NISHIYAMA YUKIO  
OGIWARA HIROTAKE  
NAKADA RENPEI

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To fill a trench having a high aspect ratio without generating any void.

**SOLUTION:** In a process for filling an isolation trench with an insulation film, a silicon oxide film deposited by HDP-CVD and a silicon oxide film deposited by SOG are laid in layer thus preventing the generation of void and enhancing yield.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-31650  
(P2003-31650A)

(43) 公開日 平成15年1月31日 (2003.1.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 21/76		H 0 1 L 21/316	G 5 F 0 3 2
21/316			X 5 F 0 3 3
		21/76	L 5 F 0 5 8
21/768		21/90	Q

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2001-213689(P2001-213689)

(22) 出願日 平成13年7月13日 (2001.7.13)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 西山 幸 男

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72) 発明者 萩 原 博 隆

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74) 代理人 100075812

弁理士 吉武 賢次 (外4名)

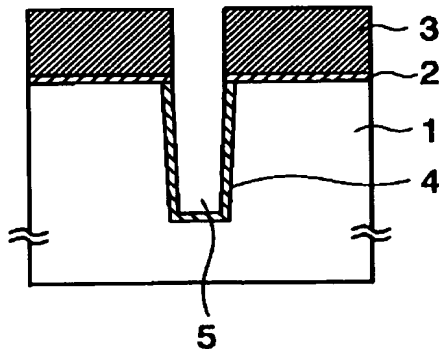
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 アスペクト比の高い溝をボイドの発生を招くことなく埋め込む。

【解決手段】 素子分離用の溝の内部に絶縁膜を埋め込む工程において、HDP-CVD法によるシリコン酸化膜とSOG法によるシリコン酸化膜とを積層させることにより、ボイドの発生を防止し歩留まりを向上させる。



## 【特許請求の範囲】

【請求項1】半導体基板上に設けられた溝、あるいは半導体基板上に形成された膜パターンによる凹凸部を表面に有する基板面に対し、

前記凹凸部における凹部を埋めるように、高密度プラズマ化学的気相成長（以下、HDP-CVDという）法により第1のシリコン酸化膜を所定の深さまで形成する工程と、

前記凹部を埋めるように、前記第1のシリコン酸化膜上に、スピンオングラス（以下、SOGという）法により第2のシリコン酸化膜を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項2】前記凹凸部が、実質的に前記半導体基板上に設けられた溝の深さと前記半導体基板上に形成された溝形成用のマスクの厚さ分の段差を有するものであり、前記第1のシリコン酸化膜は、前記凹部内で前記半導体基板の上面以上の深さまで形成されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】半導体基板上に設けられた溝、あるいは半導体基板上に形成された膜パターンによる凹凸部を表面に有する基板面に対し、

前記凹凸部における凹部を埋めるように、SOG法により第1のシリコン酸化膜を所定の深さまで形成する工程と、

前記凹部を埋めるように、前記第1のシリコン酸化膜上に、HDP-CVD法により第2のシリコン酸化膜を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係わり、例えば素子分離用の溝や、配線、電極間等の凹部を絶縁膜により埋め込む方法に関する。

## 【0002】

【従来の技術】半導体装置において、基板上に形成した各素子を電気的に分離するために、基板の表面部分における素子間に溝を形成し、絶縁膜を埋め込む素子分離法がある。このような方法をシャロートレンチアイソレーション（Shallow Trench Isolation、以下STIと称する）という。

【0003】また、基板上に導電膜パターンとして形成した配線層間や電極間を、層間絶縁膜によって埋め込む必要がある。

【0004】これら凹部に絶縁膜を埋め込む方法として、高密度プラズマ化学的気相成長（High Density Plasma Chemical Vapor Deposition、以下HDP-CVDと称する）法によるシリコン酸化膜の形成方法や、熱CVD法によるTEOS/O<sub>2</sub>。ガスをを用いたシリコン酸化膜の形成方法がある。

【0005】しかし、近年デバイスの微細化に伴い凹部

のアスペクト比が高くなり、ボイドやシームの発生無く凹部を埋め込むことが非常に困難になってきた。

【0006】図8に、素子分離用の溝を埋め込む従来の方法を工程別に示す。図8（a）に示されるように、半導体基板101の表面上に熱酸化法によりシリコン酸化膜102を形成する。

【0007】図8（b）のように、シリコン窒化膜103を堆積する。このシリコン窒化膜103にパターニングを行い、溝形成用のマスクを得る。

【0008】図8（c）のように、シリコン窒化膜103をマスクとして半導体基板101にRIE（Reactive Ion Etching）等のエッチングを行い、溝105を形成する。溝105の側壁及び底面に熱酸化法によりシリコン酸化膜104を形成する。

【0009】図8（d）に示されたように、溝105を埋めるように、HDP-CVD法によりシリコン酸化膜106を堆積していく。このシリコン酸化膜106を堆積していく過程で、オーバーハング107が生じる。さらに、シリコン酸化膜106を堆積していくと、図8

（e）のようにボイド108が発生する。

【0010】図8（f）のように、CMP（Chemical Mechanical Polishing）法により表面を平坦化していき、シリコン窒化膜103をストップとして平坦化処理を停止する。

【0011】図8（g）に示されたように、シリコン窒化膜103をエッチングにより除去する。

【0012】図8（h）のように、半導体基板101の表面上に突出したシリコン酸化膜106をエッチングにより除去する。

【0013】このようにして得られたシリコン酸化膜106の表面には、図8（h）に示されたようにボイド108の影響が残存した箇所（シーム）109が存在することになる。

【0014】また、シリコン酸化膜を形成する方法としては、液体ソースを用いたスピンオングラス（Spin On Glass、以下SOG）法が存在する。この方法によれば、溶媒にシリコン酸化膜の原料を溶解し、形成箇所にその液を塗布した後、熱処理を行ってシリコン酸化膜を形成する。

【0015】しかし、この方法では膜が収縮し、溝の内部に埋め込んだ場合に大きなストレスが生じたり、膜が溝の内壁から剥がれるという問題があった。さらに、溝の内部に埋め込んだ膜に熱処理を行った場合にも十分に焼成することができず、膜中に不純物が残り、この結果得られる絶縁膜の膜質が良好ではなく、素子分離耐性、あるいは各配線層や電極間の分離耐性に影響を及ぼすおそれがあった。

## 【0016】

【発明が解決しようとする課題】以上のように、従来は溝の内部や、配線層間、電極間等の凹部をボイドやシー

ムの発生を招くことなく、十分な電気的分離耐性が得られるように絶縁物で埋め込むことが難しいという問題があった。

【0017】本発明は上記事情に鑑み、素子分離用に形成した基板表面部分の溝、あるいは配線層間や電極間等の凹部を絶縁物で埋め込む際に、ボイドやシームの発生を防止しかつ十分な電気的分離耐性を確保することが可能な半導体装置の製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板に設けられた溝、あるいは半導体基板上に形成された膜パターンによる凹凸部を表面に有する基板面に対し、前記凹凸部における凹部を埋めるように、HDP-CVD法により第1のシリコン酸化膜を所定の深さまで形成する工程と、前記凹部を埋めるように、前記第1のシリコン酸化膜上に、SOG法により第2のシリコン酸化膜を形成する工程とを備えることを特徴としている。

【0019】前記凹凸部が、実質的に前記半導体基板に設けられた溝の深さと前記半導体基板上に形成された溝形成用のマスクの厚さ分の段差を有するものであり、前記第1のシリコン酸化膜は、前記凹部内で前記半導体基板の上面以上の深さまで形成されてよい。

【0020】ここで、成膜の順序を変えて、先にHDP-CVD法によりシリコン酸化膜を形成し、この表面上にSOG法によりシリコン酸化膜を形成して積層構造としてよい。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0022】(1)第1の実施の形態

本発明の第1の実施の形態による半導体装置の製造方法について、図1～図5を用いて説明する。本実施の形態は、半導体基板の表面部分に素子分離用の溝を形成し、この溝を絶縁膜で埋め込む場合に相当する。

【0023】まず、図8(a)～(c)を用いて説明した従来の製造方法と同様の工程を経て、図1に示された素子分離用の溝5を得る。即ち、半導体基板1の表面部分にシリコン酸化膜2、膜厚約150nmのシリコン窒化膜3を順に形成しパターンニングして溝形成用のマスクを作成し、RIEにより溝5を形成する。この溝5の側壁及び底面にシリコン酸化膜4を形成する。これにより、図1に示された素子分離用の溝5が形成される。この溝5は、例えば深さが約300nm、幅が約100nmであり、シリコン窒化膜3の厚さ約150nmを含めた溝全体のアスペクト比が約4.5であるとする。

【0024】このようなアスペクト比が高い溝5の内部に、従来のようにHDP-CVD法によりシリコン酸化膜を形成して埋め込むとボイドが生じる。そこで本実施

の形態では、HDP-CVD法によるシリコン酸化膜と、SOG法によるシリコン酸化膜とを順に形成して積層構造により溝5を埋め込む。

【0025】まず、図2に示されたように、シリコン酸化膜6を溝5の途中まで形成し、オーバーハング7が生じててもこれが閉じていない段階で成膜を一旦停止する。

【0026】ここで、図3にHDP-CVD装置の概略構成を示す。セラミックドーム部21とメタルチャンバ部22とにより反応容器が構成されている。セラミックドーム部21にはアンテナ23が巻かれており、その端子がRF電源31及び接地端子に接続されている。RF電源31から発生したRF電力をアンテナ23に印加することにより、誘導結合によりセラミックドーム部21内の空間に電力が供給されてプラズマが発生する。

【0027】メタルチャンバ部22には、ドライポンプ25及びターボ分子ポンプ26が接続されており、反応容器内を真空にすることができる。さらに、ガス導入部としてノズル27が備えられており、反応容器内にSiH<sub>4</sub>、O<sub>2</sub>ガスを導入することができる。また、電極33にはRF電源32が接続されており、セルフバイアス電圧を印加することができる。

【0028】そして、ノズル27から反応容器内にSiH<sub>4</sub>、O<sub>2</sub>ガスを導入し、RF電源31よりRF電圧を印加し、さらに基板電極33に接続されているRF電源32よりRF電圧を印加してプラズマを励起する。このような装置を用いて、HDP-CVD法により溝5の内部にシリコン酸化膜6を例えば約300nmの膜厚で成膜する。

【0029】ここで、HDP-CVD法により成膜を行うと、溝5の側壁における成膜速度より、溝5の底面上における成膜速度の方が速く、また溝5の上部（オーバーハング7から上の部分）における埋め込み形状が図2に示されたようにテーパ状となる。よって、溝5のアスペクト比は緩和の方向に作用する。しかし、溝5の側壁にオーバーハング7が存在するため、引き続きHDP-CVD法によりボイドの発生なく溝5を埋め込むことは困難である。

【0030】そこで、次の工程において、SOG法によりシリコン酸化膜6を形成する。図4に示されたように、SOG法では半導体基板1を回転させながらノズル41からシリコン酸化膜が溶融した薬液42を塗布し、その後焼成する。このSOG法により成膜を行う場合における埋め込み特性としての特徴は、オーバーハング7が存在する溝5であっても、図5に示されるようにボイドやシームの発生を伴うことなく埋め込みが可能である点にある。

【0031】さらに、SOG法によるシリコン酸化膜8を形成する前に、HDP-CVD法によるシリコン酸化膜6の形成を行っていることにより、溝5のアスペクト比が低くなっている。これにより、アスペクト比の高い

10

20

30

40

50

溝にSOG法によりシリコン酸化膜を埋め込む場合に問題となっていた膜の焼成を十分に行うことができ、膜中の不純物の含有量を減少させることができる。

【0032】また、溝5の内部においてSOG法によるシリコン酸化膜8が占める埋め込み体積が小さいため、焼成中の収縮によるストレスを小さくすることができ、溝5の側壁からの膜の剥がれ等を防止することができる。

【0033】図5に示されるようにシリコン酸化膜8を形成した後は、図8(f)～図8(h)を用いて説明した工程と同様に、CMP法を用いてシリコン窒化膜3の高さまで平坦化し、シリコン窒化膜3をエッチングにより除去し、さらに半導体基板1の表面から突出したシリコン酸化膜8及び6をエッチングにより除去する。

【0034】上記本実施の形態に従って埋め込みを行うことにより、装置の歩留まりの向上に寄与することができる。

【0035】ここで、特にHDP-CVD法で形成したシリコン酸化膜6を図5に示されたように、溝5の内部において半導体基板1の上面以上の深さまで埋め込んだ場合は、半導体基板1の表面から突出したシリコン酸化膜8及び6を除去することで、最終的に膜質の良好なシリコン酸化膜6のみを溝5の内部に有する構造が得られ、一段と優れた素子分離耐性を実現することが可能となる。

#### 【0036】(2) 第2の実施の形態

上記第1の実施の形態では、HDP-CVD法によるシリコン酸化膜6の形成を行った後に、SOG法によるシリコン酸化膜8の形成を行う。これに対し、本実施の形態ではシリコン酸化膜の順序が異なり、SOG法によるシリコン酸化膜の形成を行った後に、HDP-CVD法によるシリコン酸化膜の形成を行う。

【0037】図6(a)に示されたように、素子分離用の溝5の内部にSOG法によりシリコン酸化膜11を溝5の途中の深さまで形成する。上記第1の実施の形態のように、例えば溝5の深さが約300nmでシリコン窒化膜3の厚さが約150nmであるとした場合、溝5の底面からの高さが約200nm程度になるような膜厚でシリコン酸化膜11を形成する。

【0038】このように、溝5の途中の深さまで成膜することにより、SOG法におけるシリコン酸化膜11の焼成を十分に行うことが可能であり、膜中の不純物の含有量を小さくすることができる。さらに、溝5の内部の埋め込み体積を小さくすることにより、焼成中の収縮によるストレスも小さくなり、膜の剥がれ等を防止することができる。

【0039】この段階では、溝5の底面にはシリコン酸化膜11が成膜されるが側壁にほとんど成膜しないので、溝5のアスペクト比は低い。この後、図6(b)に示されたようにHDP-CVD法によりシリコン酸化膜

12を成膜することにより、ボイドやシームの発生を招くことなく埋め込みが可能である。

【0040】本実施の形態では、SOG法によるシリコン酸化膜11の埋め込みを、溝5の底面からの高さが200nm程度になるような膜厚で行っている。しかし、これと異なる膜厚でシリコン酸化膜11を埋め込むことも当然ながら可能である。

【0041】例えば、図7(a)に示されたように、素子分離用の溝5の内部にSOG法によりシリコン酸化膜13を溝5の途中の深さまで形成する。溝5の深さが約300nmでシリコン窒化膜3の厚さが約150nmであるとした場合、ここでは溝5の底面からの高さが約300nm程度になるような膜厚でシリコン酸化膜13を形成する。即ち、図7(a)のように半導体基板1における溝5とほぼ同じ高さまでシリコン酸化膜13を形成し、シリコン窒化膜3の厚さ分だけ残る段階で成膜を停止する。

【0042】このように、溝5の全体の深さ約450nmにおける途中の深さまで成膜することにより、SOG法におけるシリコン酸化膜13の焼成を十分に行うことができ、膜中の不純物の含有量が小さくなる。また、溝5の内部を完全に埋め込まずに途中で成膜を停止することで、埋め込み体積が小さくなり焼成中の収縮によるストレスも小さくなり、膜の剥がれ等が防止される。

【0043】この段階で、溝5の底面に基板1の溝深さとほぼ同じ高さまでシリコン酸化膜13が成膜され、シリコン窒化膜3の厚さのみ残っているので、溝5のアスペクト比は低くなっている。この後、図7(b)に示されたようにHDP-CVD法によりシリコン酸化膜14を成膜することにより、ボイドやシームの発生を招くことなく埋め込むことができる。

【0044】上述した実施の形態は一例であり、本発明を限定するものではない。例えば、上記実施の形態では、半導体基板の表面部分に形成した素子分離用の溝を絶縁膜で埋め込んでいるが、これに限らず半導体基板上に導電膜パターンとして形成した各配線層の間、あるいは電極間等の凹部を層間絶縁膜によって埋め込む場合にも、本発明を適用することができ、特に4.0以上の高アスペクト比を有する凹部に絶縁膜を埋め込む際、本発明は非常に有効である。

#### 【0045】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法によれば、半導体基板の表面部分に形成した溝、あるいは配線層又は電極間等の凹部を、HDP-CVD法によるシリコン酸化膜とSOG法によるシリコン酸化膜とを積層して埋め込むことにより、ボイドやシームの発生を招くことなく埋め込むことが可能であり、歩留まりの向上に寄与することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置の

製造方法を工程別に示した素子の縦断面図。

【図2】同第1の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

【図3】同第1の実施の形態において用いるHDP-CVD装置の概略構成を示した縦断面図。

【図4】同第1の実施の形態において用いるSOG法を示した斜視図。

【図5】同第1の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

【図6】本発明の第2の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

【図7】同第2の実施の形態による半導体装置の製造方法において、第1回目の埋め込み深さが異なる場合を工程別に示した素子の縦断面図。

【図8】従来の半導体装置の製造方法を工程別に示した素子の縦断面図。

【符号の説明】

\*

\* 1 半導体基板

2、4 シリコン酸化膜

3 シリコン窒化膜

5 溝

12、14 シリコン酸化膜（HDP-CVD法による）

6、11、13 シリコン酸化膜（SOG法による）

21 ドーム

22 メタルチャンバ部

23 アンテナ

25 ドライボンブ

26 ターボ分子ポンプ

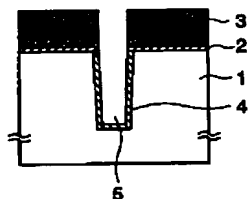
27 ノズル

31、32 RF電源部

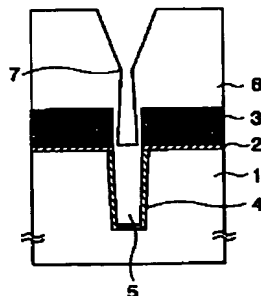
33 電極

41 ノズル

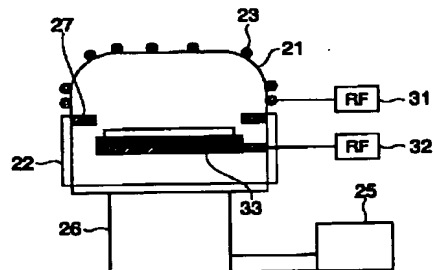
【図1】



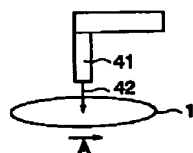
【図2】



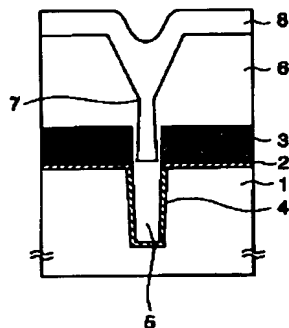
【図3】



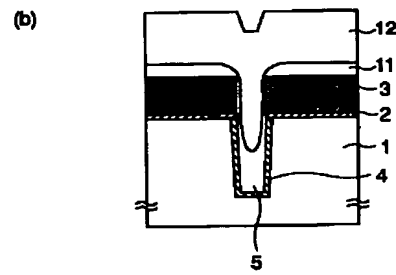
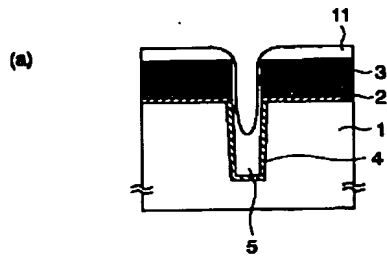
【図4】



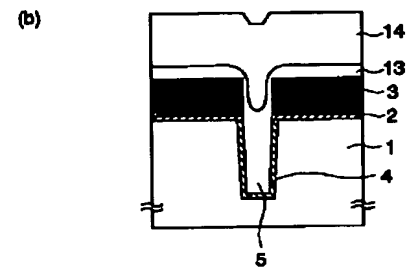
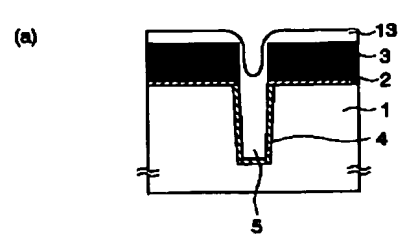
【図5】



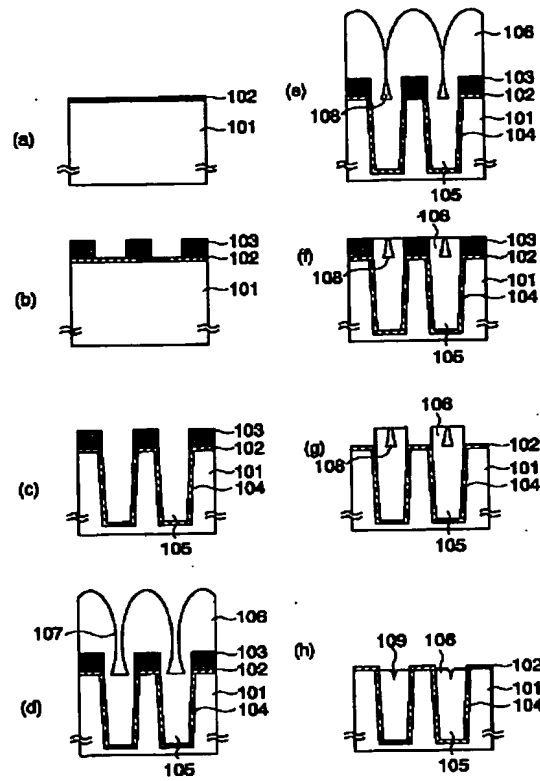
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 中 田 錬 平  
 神奈川県横浜市磯子区新杉田町 8 番地 株  
 式会社東芝横浜事業所内

F ターム(参考) 5F032 AA35 AA44 AA45 AA49 AA70  
 DA04 DA10 DA23 DA25  
 5F033 QQ48 RR04 RR06 RR09 SS15  
 SS22 TT01 XX02  
 5F058 BA02 BD01 BD04 BD10 BF07  
 BF23 BF29 BF46 BH12 BJ06